

JP 63-66993 (Kokai)

A multilayer circuit board comprises a ceramic lamination layer wiring board alternately laminating a conductor wiring layer provided with a power distributing network and a ceramic insulating layer, a through-hole of a 1st diameter for passing through the inside and the outside of the wiring board, a resin fluoride dielectric filled in the through-hole of the 1st diameter, and a through-hole wiring of a smaller 2nd diameter than the 1st diameter for passing through the center of the resin fluoride dielectric.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-66993

⑬ Int.Cl.⁴

H 05 K 3/46

識別記号

庁内整理番号

C-7342-5F

T-7342-5F

⑭ 公開 昭和63年(1988)3月25日

審査請求 未請求 発明の数 2 (全3頁)

⑮ 発明の名称 多層配線基板

⑯ 特 願 昭61-209644

⑰ 出 願 昭61(1986)9月8日

⑱ 発 明 者 井 上 龍 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

多層配線基板

2. 特許請求の範囲

(1)電源配線網が配設された導体配線層とセラミック絶縁層とを交互に積層したセラミック積層配線基板と、この配線基板の表裏を貫通する第1の径のスルーホールと、この第1の径のスルーホールに充填されたフッ化樹脂誘電体と、このフッ化樹脂誘電体の中心を貫通する第1の径より小さい第2の径のスルーホール配線とを有することを特徴とした多層回路基板。

(2)電源配線網が配設された導体配線層とセラミック絶縁層とを交互に積層したセラミック積層配線基板と、この配線基板の表裏を貫通する第1の径のスルーホールと、この第1の径のスルーホールに充填されたフッ化樹脂誘電体と、このフッ化樹脂誘電体の中心を貫通する第1の径より小さい第2の径のスルーホール配線と、セラミック積層配線基板上にポリイミド樹脂を絶縁材料として薄

膜多層配線が形成された薄膜多層配線層とを有し、前記スルーホール配線とこの薄膜多層配線とを接続したことを特徴とする多層回路基板。

(3)前記セラミック積層配線基板と薄膜多層配線との間に接地配線網を有することを特徴とした特許請求の範囲第2項記載の多層回路基板。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、大型コンピュータや高周波通信装置などの高速な信号伝達を要求される電子機器に使用するのに適する多層回路基板に関するものである。

〔従来の技術〕

従来この種の回路基板は、誘電率の低い樹脂絶縁材を使用したプリント配線基板を用いるか、微細配線の形成が容易なセラミック多層配線基板を用いていた(例えば、日経エレクトロニクス1981年5月11号P174~P200)。しかし前者では、最小配線幅は約50マイクロメートル程度であり、実装の高密度化には充分に対応できない

という欠点があつた。また、後者は配線の微細化には適するもののセラミックスの比誘電率が7~10と高いために、信号伝達の高速化は達成できないという欠点があつた。

〔発明が解決しようとする問題点〕

上記欠点を解決すべく、セラミックス基板上にポリイミド樹脂を絶縁材とする薄膜多層配線を形成したものも開発されたが(例えば日経エレクトロニクス1985年6月17日号P243~P268)、配線幅は、約25マイクロメートルと高密度化を達成しており、更に線幅約10マイクロメートル程度までの微細化が可能だが、信号伝達速度の高速化の面では、セラミックスの高い誘電率の影響を受けて、十分な高速化が達成されていない。

〔問題点を解決するための手段〕

本発明に係わる多層回路基板は、電源配線網が線設された導体配線層とセラミックス絶縁層とを交互に積層したセラミックス積層配線基板と、この配線基板の表裏を貫通するスルーホールと、このスルーホールに充填されたフッ化樹脂誘電体と、こ

と、4種のタングステンを用いて形成された電源配線層12, 13, 14, 15とが交互に積層されている。また、この基板1には、表裏を貫通するために直径約0.3ミリメートルのスルーホール20が約1.5ミリメートルの間隔で基板1のほぼ全面の格子点上にあけられている。このスルーホール20の内部は、ポリテトラフルオロエチレン21が充填されていてその中心には直径約0.1ミリメートルの銅のスルーホール配線22が形成されている。なお、電源配線層12, 13, 14, 15にはそれぞれの配線層に接続する電源スルーホール配線32, 33があるが、これらのスルーホール配線32, 33にはポリテトラフルオロエチレンの被覆層は設けられていない。また、基板1の表面には、金パッド23が設けられており、これらのパッド23はスルーホール配線22, 32, 33と接続している。さらに基板1の上方には、ポリイミド樹脂24を層間絶縁層として薄膜多層配線25が形成された薄膜多層配線層26が配設されている。この薄膜多層配線25は、最小線幅

のフッ化樹脂誘電体を貫通するスルーホール配線とから構成され、さらにこのセラミックス積層配線基板上にポリイミド樹脂を層間絶縁材として薄膜多層配線が形成された薄膜多層配線層を有している。

〔作用〕

本発明においては、セラミックス積層配線基板が比誘電率が大きいので、電源配線網のインピーダンスを低く抑えたとともに、スルーホール配線が比誘電率の極めて小さいフッ化樹脂誘電体で被覆されているので、信号伝達速度が高められる。

〔実施例〕

第1図は、本発明の第一の実施例を示す縦断面図である。同図において、セラミックス積層配線基板(以下基板と称する)1は、一辺が約1.5センチメートルの正方形で、その厚さは、約3ミリメートルである。この基板1は、酸化アルミニウムを主成分とし酸化シリコン、酸化カルシウム、酸化チタニウムおよび酸化マグネシウムを添加することにより、比誘電率を1.0とした層間絶縁層11

約20マイクロメートルの金めつき膜により形成されていてこの配線の一部がスルーホール配線22と金パッド23を介して接続している。また、これらの薄膜多層配線25の層間接続のためにポリイミド樹脂24には、一辺約30マイクロメートルの正方形の開口を持つビアホール27があけられている。薄膜多層配線層26の最上層には、銅パッド28が形成されていてLSI等の回路素子を実装し、もしくは回路検査のプロービングのために用いられる。

なお、前述した実施例では、薄膜多層配線25を、金めつきで形成しているが、これを銅めつきで形成することも可能である。

第2図は、本発明の第2の実施例を示す縦断面図である。本実施例は、第1図に示した第1の実施例とほぼ同じ構成であるが、基板1と薄膜多層配線層26との間に接地配線網40が配設されている点が異なる。このような構成においても前述と全く同様の効果が得られる。

〔発明の効果〕

以上説明したように、本発明は、電源配線網を、比誘電率の大きなセラミックスを層間絶縁とするセラミック積層配線基板内に配設することにより、そのインピーダンスを低く抑えることができるとともにスルーホール配線を、比誘電率が極めて低いフッ化樹脂誘電体で被覆することにより、スルーホール配線等の配線遅延時間を極小に抑えることができるという極めて優れた効果が得られる。

更に、本発明は、信号配線を、比誘電率の低いポリイミドを層間絶縁とする薄膜多層配線に配設することにより、スルーホール配線の高速化とあいまって、信号配線の配線遅延時間を極小に抑えることができるなどの効果が得られる。

・・ポリテトラフルオロエチレン、22・・・・・・スルーホール配線、23・・・・・・金パッド、24・・・・・・ポリイミド樹脂絶縁層、25・・・・・・薄膜多層配線、26・・・・・・薄膜多層配線層、27・・・・・・ワイヤホール、28・・・・・・銅パッド、32, 33・・・・・・電源スルーホール配線、40・・・・・・接地点配線網。

特許出願人 日本電気株式会社

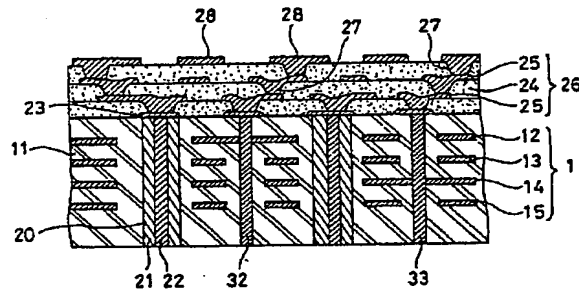
代理人 山川政樹（ほか2名）

4. 図面の簡単な説明

第1図は、本発明の第1の実施例を示す縦断面図、第2図は、本発明の第2の実施例を示す縦断面図である。

1・・・・・・セラミック積層配線基板、11・・・・・・層間絶縁層、12, 13, 14・・・・・・電源配線層、20・・・・・・スルーホール、21・・・・・・

第 1 図



第 2 図

